

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

- (19) Japanese Patent Office (JP)  
(11) Japanese Patent Laid-open No. 60-245174  
(43) Date of Laid-open: December 4, 1985  
(12) Patent Laid-open Official Gazette (A)  
(51) Int. Cl.4  
H 01 L 29/78  
H 01 L 21/324

Discrimination Mark (Nothing)

Arrangement Number in the Office:

8422-5F

6603-5F

Request for Examination: Yes

The Number of Inventions: 1 (5 pages in total)

\* \* \* \* \*

(54) Title of the Invention:

Manufacturing method of an insulated gate type field effect  
semiconductor device

(21) Japanese Patent Application No. 59-100252

(22) Filed: May 18, 1984

(72) Inventor: Shunpei Yamazaki

c/o Semiconductor Energy Laboratory, Co., Ltd.

21-21, 7-chome Kitakarasuyama, Setagaya-ku, Tokyo

(71) Applicant: Semiconductor Energy Laboratory, Co., Ltd.

21-21, 7-chome Kitakarasuyama, Setagaya-ku, Tokyo

## SPECIFICATION

### 1. TITLE OF THE INVENTION

Manufacturing method of an insulated gate type field effect semiconductor device 5

### 2. CLAIMS

1. Manufacturing method of an insulated gate type field effect semiconductor device comprising the steps of: 10

forming a non-single crystalline semiconductor added with hydrogen or a halogen element on a substrate;

forming a gate insulating film on said semiconductor;

selectively forming a gate electrode on said insulating film; 15

adding an impurity for P or N type to said non-single crystalline semiconductor with said gate electrode as a mask;

promoting crystallization of a region added with said impurity after said process by strong light irradiation. 20

2. The manufacturing method of an insulated gate type field effect semiconductor device of Claim 1 wherein the impurity for P or N type is added through the gate insulating film, and said gate insulating film constitutes a film for preventing deairing of hydrogen or a halogen element during the strong light irradiation. 25

### 3. DETAILED DESCRIPTION OF THE PRESENT INVENTION

"Field for Industrial Use" 30

The present invention relates to an insulated gate type field

effect semiconductor device (hereinafter referred to as IGF) utilized for a semiconductor integrated circuit, a liquid crystal display panel, etc.

#### "Prior Art"

An IGF utilizing single-crystalline silicon is widely utilized in the field of semiconductor. A typical example is Japanese Patent Pub. No. 50-1986 "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" invented by the present inventor. When it comes to the IGF of which channel formation region not comprising a single-crystalline semiconductor with no hydrogen added but comprising a non-single crystalline semiconductor device added with hydrogen or a halogen element at 1 atom% or more, a typical example is shown in Japanese Pat. Appl. No. 53-124021 "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" invented by the present inventor (filed on October 7, 1978).

This IGF of which channel formation region comprising a semiconductor especially a silicon semiconductor added with hydrogen or a halogen element, has off current of  $1/10^3$  to  $1/10^5$  compared with that of the conventional IGF utilizing a single-crystalline semiconductor. Therefore this is believed to be effective in use for an IGF for controlling a liquid crystal display panel.

As in the example above mentioned, there are three types of semiconductors as this IGF: there are a lateral channel type IGF wherein a gate electrode is formed on a semiconductor of a channel formation region, a vertical channel type IGF mentioned in Japanese Pat. Appli. No. 56-001767 "INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF" (January 9, 1981), and a conventional thin film IGF transistor wherein a gate electrode is provided beneath a semiconductor composing a channel formation region. Compared with the latter two, the structure of the former

is the same as that of the conventionally known IGF utilizing single-crystalline silicon. Thus this IGF has very good characteristic that a completed technology can be applied.

However, a source and a drain of this IGF should be formed not through a CVD method (including a plasma CVD method) by deposition of a thin film, but through ion implantation, etc. This additive should be made as active donor or acceptor through annealing at a temperature range of 400 °C or less in which hydrogen or a halogen element will not be deaired. The application by the present inventor is not necessarily clear on this stand point.

#### "Means to Solve the Problems"

The present invention is aimed at solving the problems above mentioned. A gate insulator is selectively formed on a non-single crystalline semiconductor (hereinafter non-single crystalline semiconductor added with hydrogen or a halogen element is simply referred to as semiconductor, or non-single crystalline semiconductor) to which no or little impurity has been added. On the gate insulator, a gate electrode is selectively provided.

With utilizing this gate electrode as a mask, impurities for the source and the drain are added by an ion implanting method or the like. For example, phosphorous or arsenic is added for N channel, and boron is added for P channel, into the non-single crystalline semiconductor through the gate insulating film. After that, strong light is irradiated at 400 °C or less to the regions added with these inactive impurities. Strong light anneal (hereinafter simply referred to as light anneal) is performed. Thus a semiconductor with hydrogen or a halogen element added, resided by being blocked by the gate insulating film, and with crystallization rate promoted more than the channel formation region is, is formed. Particularly, a semiconductor with a polycrystalline or single-crystalline

structure is formed.

In the conventionally known method, after ion implantation is performed, laser anneal is performed to a single-crystalline silicon with no hydrogen or a halogen element added. In the present invention, not like the conventionally known method, ion implantation is performed to a non-single crystalline semiconductor with hydrogen or a halogen element added at 1 atom% or more, generally at 5 to 20 atom%. Strong light anneal is performed, and preferably this light is scanned from one end to the other end of the substrate. Thus crystallization growth is included as a process, crystallization is promoted, and impurity regions are formed.

#### "Results"

In the structure of the IGF of the present invention, a gate electrode is provided on the non-single crystalline semiconductor composing a channel formation region on a substrate. In addition, an active impurity region with optical  $E_g$  of 1.6 eV to 1.8 eV, which is almost the same as the optical  $E_g$  (1.7 to 1.8 eV in the case of silicon semiconductor) of this semiconductor is obtained. Thus  $E_g$  is the same as or approximately the same as that of the channel formation region. When the IGF is "ON" or "OFF", ON current will not be difficult to flow at rise time or OFF current will not flow lazily at fall time. In other words, OFF current is rare and ON, OFF can be switched with high speed response.

The present invention is explained according to embodiments.

#### "Embodiment 1"

As is shown in Fig.1(A), a quartz glass substrate of 10 cm x 10 cm and 1.1 mm thickness is utilized as a substrate (1). A non-

single crystalline semiconductor(2) including amorphous structure added with hydrogen at a concentration of 1 atom% or more is formed at 0.2  $\mu$  thickness by a photo CVD method (low pressure mercury lamp at 2537 Å and substrate temperature of 210 °C) without utilizing mercury enhancing method of disilane ( $\text{Si}_2\text{H}_6$ ). A silicon nitride film (3) is formed as a gate insulating film on this non-single crystalline semiconductor (2) by a photo CVD method without having the semiconductor surface exposed to air in the same reaction chamber. That is,  $\text{Si}_3\text{N}_4$  is formed at 1000 Å thickness by reaction of  $\text{Si}_2\text{H}_6$  and ammonia or hydrazine without utilizing mercury photosensitized method (low pressure mercury lamp at 2537 Å and substrate temperature of 250 °C).

Then portions other than a region (5) composing an IGF is removed by a plasma etching method. This reaction is performed as  $\text{CF}_4 + \text{O}_2$  (5%) at 13.56 MHz at a room temperature. A micro-crystalline or polycrystalline semiconductor of  $\text{N}^+$  conductivity type is deposited at 0.3  $\mu$  thickness on this gate insulating film. This  $\text{N}^+$  semiconductor film is removed utilizing a resist (6) by a photo etching method. Then phosphorous is added to the regions to be a source and a drain with utilizing this resist and  $\text{N}^+$  semiconductor gate electrode portion (4) as a mask by an ion implanting method at a concentration of  $1 \times 10^{20} \text{ cm}^{-3}$ , as is shown in Fig.1(B). Thus a pair of impurity regions (7) and (8) are formed.

After the resist of the gate electrode is removed from the whole substrate, strong light (10) annealing is performed. That is, light is irradiated in linear shape utilizing an extra-high pressure mercury lamp (output of 5 KW, wavelength of 250 to 600 nm, diameter of 15 mm $\phi$ , length of 180 mm) backside of which is provided a parabolic reflection mirror, and in front of which is provided a quartz cylindrical lens (focal distance of 150 cm, converging width of 2 mm, length of 180 mm). The irradiated part of the substrate is

scanned at a speed of 5 to 50 cm/min. to have strong light irradiated to the entire surface of the substrate of 10 cm x 10 cm.

Because a large amount of phosphorous has been added to the gate electrode portion, this electrode absorbs light enough and is polycrystallized. The impurity regions (7) and (8) are once solved and recrystallized. Thus they are solved in the direction of scanning, that is, in the direction of X. Recrystallization is shifted (transported). As a result, compared with the case of heating or irradiating the entire substrate, grain size can be made bigger because a system of crystal grain growth has been added.

It is not at all imperative that the regions polycrystallized by this strong light anneal reach the entire region under the impurity regions. As is shown in broken lines (11) and (11') in the figure, what is important is that the portions above these only are at least crystallized and the impurities are activated. Ends (15) and (15') of these portions are provided nearer to the channel than ends (16) and (16') of the gate electrode. N (7), (8) - I (2) junction interface (17) and (17') are provided inside of the crystallized region, and the channel formation region is provided in hybrid structure by utilizing a non-single crystalline semiconductor of I type semiconductor and crystallized semiconductor. The crystallized semiconductor region in the I type semiconductor can be decided by scanning speed and intensity (irradiation) of light anneal.

In the figure, after the process in Fig.1(B), PIQ is coated on the whole surface at 2  $\mu$  thickness, and formed as electrode holes (13) (13'). Then ohmic contact of aluminum and its leads (14) (14') are formed. In the process of forming these (14) and (14') being a second layer, they can be connected with the gate electrode (4).

As a result of this light anneal, sheet resistance changed from  $4 \times 10^{-3} (\Omega\text{cm})^{-1}$  before light irradiation to  $1 \times 10^{-2} (\Omega\text{cm})^{-1}$ . This change in electric conductivity characteristic is clearly shown.

Under the condition of the length of the channel formation



region  $3\ \mu$ ,  $10\ \mu$  and channel width  $1\ \text{mm}$ , as is shown in Fig.2 (21) (22) respectively, electric current of  $1 \times 10^{-5}\ \text{A}$ ,  $2 \times 10^{-5}\ \text{A}$  is obtained under  $V_{th} = +2\ \text{V}$ ,  $V_{DD} = 10\ \text{V}$ . Off current is ( $V_{GG} = 0\ \text{V}$ )  $10^{-10}$  to  $10^{-11}\ (\text{A})$ , which is  $1/10^{-4}$  of  $10^{-6}\ \text{A}$  of a single-crystalline semiconductor.

5

### "Effects"

Because the present invention utilizes the manufacturing process of forming and processing films gradually from below, large-area large-scale integration is made real. Therefore IGF as many as  $500 \times 500$  pieces can be formed in a  $30\ \text{cm} \times 30\ \text{cm}$  panel, and can be utilized as IGF for controlling a liquid crystal display device. Because low-temperature process at  $400\ ^\circ\text{C}$  or less by light anneal process is utilized, polycrystallized or single-crystallized semiconductor can be prevented from emitting hydrogen or a halogen element inside it.

10

15

Moreover, light annealing is not performed to the entire substrate at one time but is scanned from one end to the other end. For this purpose, light from a cylindrical extra-high pressure mercury lamp is concentrated by the use of a parabolic mirror and a quartz lens, and is made as linear light. By scanning the substrate in vertical with this light, light annealing to the surface is performed.

20

As this light anneal utilizes ultraviolet rays, crystallization from the surface of the semiconductor to the portion inside is promoted. Thus electric current flowing through the channel formation region near the gate insulating film to the fully polycrystallized or single-crystallized impurity regions near the surface can be controlled with no problem.

25

Not any single-crystalline semiconductor is utilized as the substrate. Thus hydrogen or a halogen element added to the channel

formation region can keep non-single crystalline semiconductor condition without being influenced by the light irradiation anneal process. Therefore off current can be made  $1/10^3$  to  $1/10^5$  of that of a single-crystalline semiconductor.

Because the source and the drain are formed by light anneal after formation of the gate, the interface with the gate insulator will not be dirty and its characteristic is stable. Not like the conventional method, not only quartz glass but also soda glass, a heat endurable organic film can be utilized at random as a substrate material.

In the present invention, process is performed in the same reaction chamber in which a semiconductor composing a channel formation region - gate insulator - gate electrode each of which being dissimilar interface are formed. Thus the semiconductor device of the present invention can be formed without being exposed to the air, and is characterized in that interface state is rarely generated.

In the present invention, it is preferable all impurity concentration of oxygen, carbon and nitrogen of non-single crystalline semiconductor of the channel formation region is  $5 \times 10^{18}$   $\text{cm}^{-3}$  or less. In the conventionally known IGF, an impurity is contaminated in the channel layer at a concentration of 1 to  $3 \times 10^{20}$   $\text{cm}^{-3}$ . In the case of utilizing an amorphous silicon semiconductor, life time of carriers, especially that of holes becomes short. Thus as a characteristic, current flown is as little as  $1/3$  or less of that of the present invention. In addition, hysteresis characteristic is observed when drain electric field is applied at  $2 \times 10^6$  V/cm or more to  $I_{DD} - V_{GG}$  characteristic. On the other hand, when oxygen is  $5 \times 10^{18}$   $\text{cm}^{-3}$  or less, hysteresis is not confirmed even with an electric potential of  $3 \times 10^6$  V/cm.

#### 4. BRIEF DESCRIPTION OF THE FIGURES

Fig.1 shows a cross sectional view of the manufacturing process of the insulated gate field effect semiconductor device of the present invention.

Fig.2 shows characteristic of drain current - gate voltage.

5

Applicant

Semiconductor Energy Laboratory, Co., Ltd.

Representative: Shunpei Yamazaki

## ⑫ 公開特許公報 (A)

昭60-245174

⑭ Int. Cl.

H 01 L 29/78  
21/324

識別記号

庁内整理番号

8422-5F  
6603-5F

⑮ 公開 昭和60年(1985)12月4日

審査請求 有 発明の数 1 (全5頁)

⑯ 発明の名称 絶縁ゲイト型電界効果半導体装置の作製方法

⑰ 特 願 昭59-100252

⑱ 出 願 昭59(1984)5月18日

⑲ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ  
ネルギー研究所内

⑳ 出 願 人 株式会社 半導体エネ ルギー研究所 東京都世田谷区北烏山7丁目21番21号

## 明 細 書

## 1. 発明の名称

絶縁ゲイト型電界効果半導体装置の作製方法

## 2. 特許請求の範囲

1. 基板上に水素またはハロゲン元素が添加された非単結晶半導体を形成する工程と、該半導体上にゲイト絶縁膜を形成する工程と、該絶縁膜上に選択的にゲイト電極を形成する工程と、該ゲイト電極をマスクとして前記非単結晶半導体にPまたはN型用の不純物を添加する工程と、該工程の後、強光照射をして前記不純物の添加された領域の結晶化を助長せしめた工程とを有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

2. 特許請求の範囲第1項において、PまたはN型用の不純物はゲイト絶縁膜を透過して添加され、前記ゲイト絶縁膜は強光照射において水素またはハロゲン元素の脱気防止用被膜として形成されたことを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

## 3. 発明の詳細な説明

## 「産業上の利用分野」

本発明は半導体集積回路、液晶表示パネル等に用いられる絶縁ゲイト型電界効果半導体装置(以下IGF という)の作製方法に関する。

## 「従来の技術」

単結晶珪素を用いたIGF は広く半導体分野に用いられている。その代表例は本発明人の発明になる特公昭50-1986「半導体装置およびその作製方法」である。しかし水素が添加されていないチャネル形成領域に単結晶半導体を用いるのではなく、水素またはハロゲン元素が1原子%以上の濃度に添加された非単結晶半導体により設けられたIGF は本発明人の出願による特願昭53-124021「半導体装置およびその作製方法」(昭和53年10月7日出願)がその代表例である。

かかる水素またはハロゲン元素が添加された半導体特に結晶半導体がチャネル形成領域に用いられたIGF は、オフ電流が従来より公知の単結晶半導体を用いた場合に比べて $10^3 \sim 10^5$ 分の1も小

さい。そのため液晶表示用IGFとして用いることが有効であるとされている。このIGFは前記した引例のごとく、ゲイト電極がチャンネル形成領域の半導体に対しその上側に設けられた横チャンネル型IGF、また本発明人の出願になる特願昭56-001767「絶縁ゲイト型半導体装置およびその作製方法」(昭和56年1月9日)に示された縦チャンネル型IGF、およびゲイト電極がチャンネル形成領域を構成する半導体の下側に設けられたいわゆる一般的に公知の薄膜IGFトランジスタ型が知られている。しかしそのうち後2者に比べ前者の前記した構造は従来より公知の単結晶珪素を用いたIGFと構造が同じであるため、すでに出来上がった技術を応用できるというきわめて優れた特長を有するものであった。

しかし他方、~~加がIGFにおいては、~~  
~~IGFの作製をCVD法(プラズマCVD法を含む)~~  
~~IGFの作製をCVD法(プラズマCVD法を含む)~~  
イオン注入等により添加し、かつその添加物を400℃以下の水素またはハロゲン元素が脱気しない温

(3)

つ結晶化度がチャンネル形成領域よりも助長された半導体、特に著しくは多結晶または単結晶構造の半導体に変成せしめたことを特徴とするものである。

即ち本発明は従来より公知の水素またはハロゲン元素が添加されていない単結晶半導体に対し、イオン注入後レーザアニールを行うのではなく、水素またはハロゲン元素が1原子%以上一般には5~20原子%の濃度に添加されている非単結晶半導体に対しイオン注入をし、それに強光アニールを行い、かつ、好ましくはこの光を基板裏面を一端より他端に走査することにより結晶成長をプロセス上含ませ結晶化度を助長とし不純物領域としたものである。

#### 「作用」

その結果、本発明のIGFの構造は、ゲイト電極が基板上のチャンネル形成領域を構成する非単結晶半導体の上方に設けられ、かつこの半導体の光学的 $E_g$ ( $E_g$  結晶半導体の場合1.7~1.8eV)に対し1.6~1.8eVと殆ど同じ光学的 $E_g$ を有しかつ両性不

(5)

度範囲でのホールにより活性のドナーまたはアクセプタとしなければならない。

かかる観点に対し前記した本発明人の出願は必ずしも明確でない。

#### 「問題を解決するため 手段」

本発明は上記の問題を解決するためのものであり、不純物の添加のないまたはきわめて少ない非単結晶半導体(以下水素またはハロゲン元素が添加された非単結晶半導体を単に半導体または非単結晶半導体と略記する)上にゲイト絶縁物およびその上にゲイト電極を選択的に設けた。さらにこのゲイト電極をマスクとしてイオン注入法等によりソース、ドレイン用の不純物例えばNチャンネル型ではリンまたは砒素、Pチャンネル型ではホウ素を非単結晶半導体内部にゲイト絶縁膜を貫通させて添加した。この後、この不活性の不純物が添加された領域に対し、400℃以下の温度で強光照射をし、強光アニール(以下単に光アニールという)を行い、水素またはハロゲン元素が添加されたゲイト絶縁膜によりブロッキングされて残存し、か

(4)

純物領域を得ることができた。かくのごとく $E_g$ がチャンネル形成領域と同じまたは概略同じであるため、IGFの「ON」、「OFF」に対しオン電流が立ち上がり時に流れにくかったり、また他方、電流がたち下がり時にグラグラ流れてしまったりすることがない、いわゆるオフ電流が少なく、かつオン、オフを高速度で行うことができた。

以下に実施例により本発明を説明する。

#### 「実施例1」

基板(1)として第1図(A)に示すごとく、厚さ1.1mmの石英ガラス基板10cm×10cmを用いた。この上面に、~~プラズマCVD法~~の水素添加法を用いた~~プラズマCVD法~~の結晶化を含む非単結晶半導体(2)を0.2μmの厚さに形成した。さらにこの上面に光CVD法により窒化珪素膜(3)をゲイト絶縁膜として同一反応炉内で半導体裏面を大気に触れさせることなく積層した。即ちSi<sub>3</sub>N<sub>4</sub>とアンモニアまたはヒドラジンと反応(2537A

(6)

波長を含む低圧水 基板温度250℃)により  $Si_3N_4$  を水銀増感法を用いることなしに1000Åの厚さに作製した。

この後、IGFを形成する領域(5)を除く他部をプラズマエッチング法により除去した。反応は  $CF_4 + O_2$  (5%)で13.56MHz、室温で行った。このゲイト絶縁膜上に $N^+$ の導電型の微結晶または多結晶半導体を0.3μの厚さに積層した。この $N^+$ の半導体膜をレジスト(6)を用いてフォトリソエッチング法で除去した後、このレジストと $N^+$ 半導体のゲイト電極部(4)とをマスクとしてソース、ドレインとなる領域にイオン注入法により  $1 \times 10^{18} \text{ cm}^{-2}$  の濃度に第1図(8)に示すごとくリンを添加し、一對の不純物領域(7)、(8)を形成した。

さらにこの基板全体に対し、ゲイト電極のレジストを除去した後、強光(10)の光アニールを行った。即ち、超高圧水銀灯(出力5KW、波長250~600nm、光径15mmφ、長さ180mm)に対し裏面側は放物面の反射鏡を用い前方に石英のシリンドリカルレンズ(焦点距離150cm、集光部巾2mm、長さ180mm)に

(7)

チャネル形成領域はI型半導体の非単結晶半導体および結晶化半導体によりハイブリッド構造に設けた。このI型半導体内の結晶化半導体の領域の程度は光アニールの走査スピード、強度(照度)によって決めることができる。

図面においては、この第1図(8)の工程の後、PIGを全面に2μの厚さにコートし、さらに電極穴(13)(13')に形成した後、アルミニウムのオームコンタクトおよびそのリード(14)、(14')を形成している。この2層目の(14)、(14')の形成の際、ゲイト電極(4)と連結してもよい。

この光アニールの結果、シート抵抗が光照射前の  $4 \times 10^{-3} (\Omega \text{ cm})^{-1}$  より  $1 \times 10^{-3} (\Omega \text{ cm})^{-1}$  に比べ光照射アニールの後の電気伝導度特性の変化により明らかにすることができた。

チャネル形成領域の長さが3μおよび10μの場合、チャネル中が1mmの条件下において、それぞれ第2図(21)、(22)に示されるごとく、 $V_{gs} = 12 \text{ V}$ 、 $V_{ds} = 10 \text{ V}$  にて  $1 \times 10^{-3} \text{ A}$ 、 $2 \times 10^{-3} \text{ A}$  の電流を得ることができた。

(9)

より強光照射部を構成した。この照射部に対し基板照射面を5~50cm/分の速度で走査(スキャン)し、基板10cm×10cmの全面に強光が照射されるようにした。

かくするとゲイト電極部はゲイト電極側にリンが多量に添加されているため、この電極は十分光を吸収し多結晶化した。また不純物領域(7)、(8)は一度溶融し再結晶化することにより走査する方向即ちX方向に溶融、再結晶がシフト(移動)させた。その結果単に全面に均一に加熱または光照射するのみに比べ、成長機構が加わるため結晶粒径を大きくすることができた。

この強光アニールにより多結晶化した領域は、不純物領域の下側の全領域にまで及ぶ必要は必ずしもない。図面での破線(11)、(11')に示したごとく、その上部のみが少なくとも結晶化し不純物が活性になることが重要である。さらに、その端部(15)(15')はゲイト電極の端部(16)、(16')に対しチャネル側にわたって設けられ、 $N^+$ (7)、(8)―I(2)接合界面(17)、(17')が結晶化領域内部に設けられ、

(8)

なおオフ電流は( $V_{gs} = 0 \text{ V}$ )  $10^{-10} \sim 10^{-11} (\text{A})$  であり、単結晶半導体の  $10^{-8} \text{ A}$  に比べ  $10^{-4}$  の1も小さかった。

「効果」

本発明は下側から漸次被膜を形成し加工するという製造工程を採用したため、大面積大規模集積化を行うことが可能になった。そのため大面積例えば30cm×30cmのパネル内に500×500ヶのIGFの作製すらも可能とすることができ、液晶表示素子の制御用IGFとして応用することができた。

光アニールプロセスによる400℃以下の低温処理であるため、多結晶化または単結晶化した半導体はその内部の水素またはハロゲン元素を放出させることを防ぐことができた。

また光アニールを基板全面に同時に行うのではなく一端より他端に走査させた。この目的のため筒状の超高圧水銀灯を放物ミラーおよび石英レンズにより集光し、筒状の光とし、この光に対し垂直した方向に基板を走査することにより面への光アニールを行うことができた。

(10)

この光アニールを素行するため、半導体の表面より内部方向への結晶化を助長させた。このため十分に多結晶化または単結晶化した表面近傍の不純物領域へチャネル形成領域におけるゲート絶縁膜のごく近傍に流れる電流制御を支援なく行うことが可能となった。

基板として単結晶半導体をまったく用いていない。このため光照射アニール工程に際し、チャネル形成領域に添加された水素またはハロゲン元素はまったく何等の影響を受けず非単結晶半導体の状態を保持できる。そのためオフ電流を単結晶半導体の $1/10^3 \sim 1/10^5$ にすることができる。

ゲートを作った後ソース、ドレインを光アニールで作製するため、ゲート絶縁物界面に汚物が付着することがなく特性が安定していた。

さらに従来より公知の方法に比べ、基板材料として石英ガラスのみならず任意の基板であるソーダガラス、耐熱性有機フィルムをも用いることができる。

異種材料界面であるチャネル形成領域を構成す

(11)

る半導体—絶縁物—ゲート電圧の形成と同一反応炉内でのプロセスにより、大気に触れさせることなく作り得るため、界面単位の発生が少ないという特長を有する。

なお本発明において、チャネル形成領域の非単結晶半導体の酸素、炭素および窒素のいずれもが $5 \times 10^{11} \text{cm}^{-2}$ 以下の不純物濃度であることが好ましい。即ちこれらが従来公知のIGFにおいてはチャネル層に $1 \sim 3 \times 10^{12} \text{cm}^{-2}$ の濃度に混合してしまった。アモルファス珪素半導体を用いる場合においては、キャリア特にホールのもつライフタイムが短くなり、特性が本発明が有する特性の $1/3$ 以下の電流しか流れない。加えてヒステリシス特性を $1.0 \sim 1.5 \text{V}$ 。特性にドレイン電界を $2 \times 10^5 \text{V/cm}$ 以上加える場合に観察されてしまった。また他方酸素を $5 \times 10^{11} \text{cm}^{-2}$ 以下とすると、 $3 \times 10^5 \text{V/cm}$ の電圧においてもヒステリシスの存在が観察されなかった。

#### 4. 図面の簡単な説明

第1図は本発明の絶縁ゲート型電界効果半導体

(12)

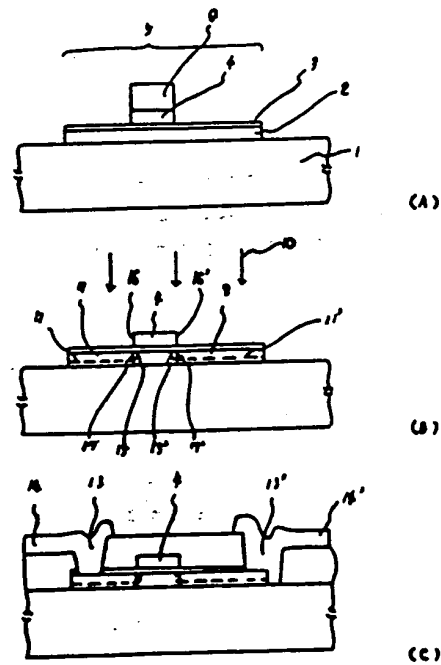
装置の製造工程の縦断面図を示す。

第2図はドレイン電流—ゲート電圧の特性を示す。

特許出願人

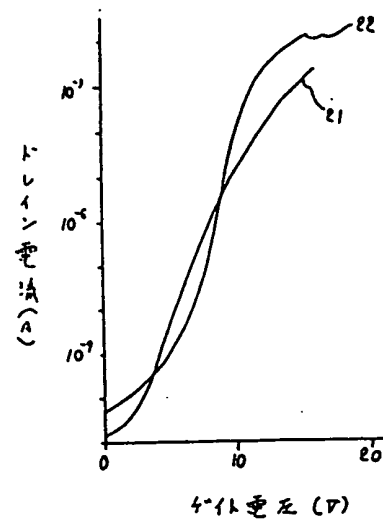
株式会社半導体エネルギー研究所

代表者 山崎 舜平



第1図

(13)



第2回